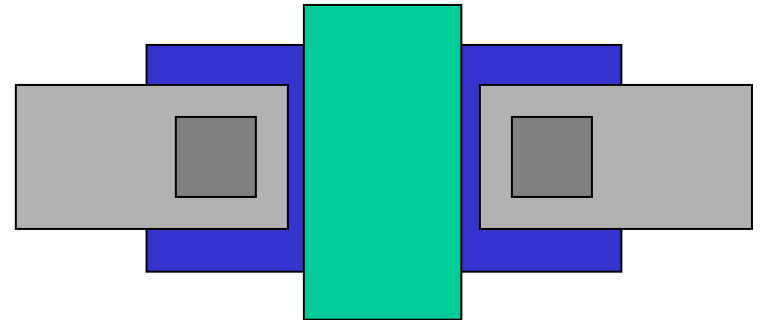
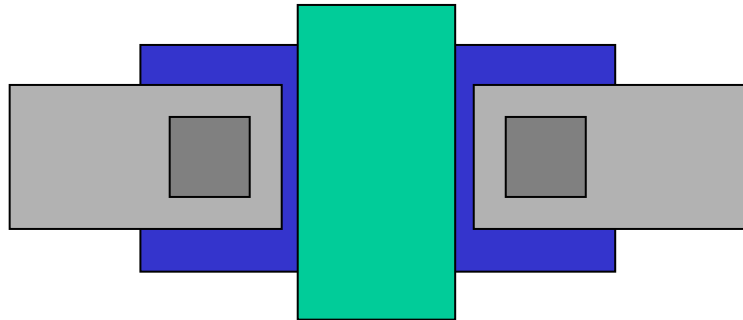


集積デバイス工学

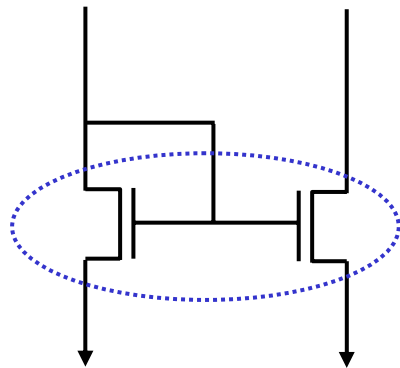
1. デバイスのマッチング
2. AC特性の考え方

MOSFETのマッチング

(しきい値、コンダクタンスなど)



電流ミラー回路

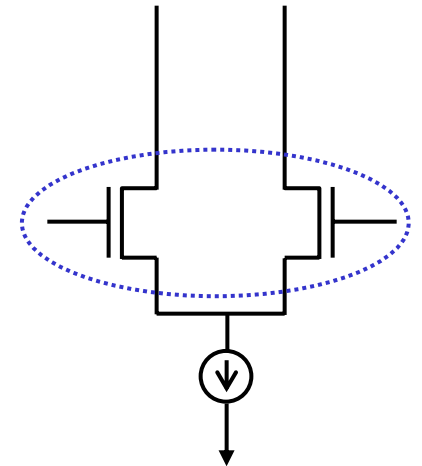


・アナログ回路
(OPAMP, OTA, コンパレータ)

・デジタル回路
(差動センサアンプ)

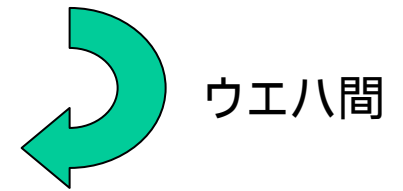
$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

差動入力対



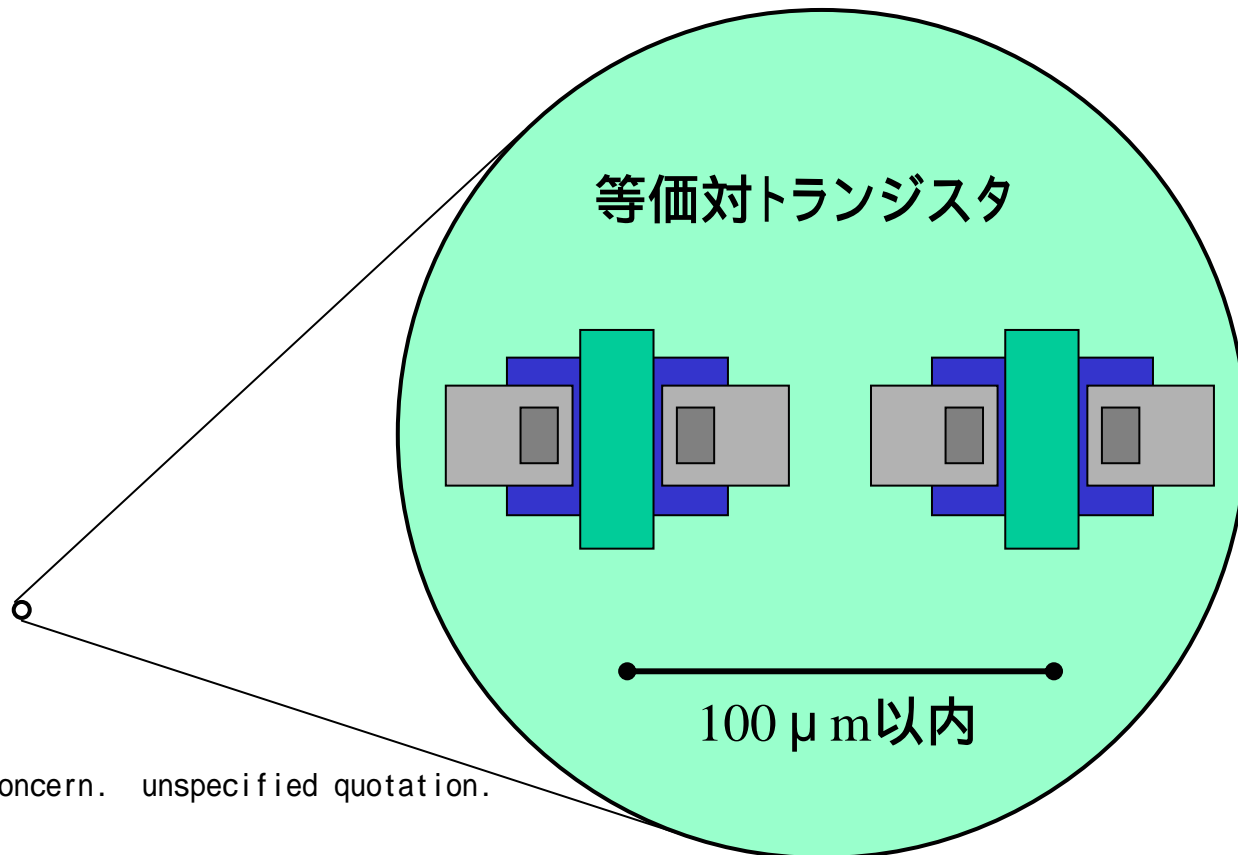
ウエハ内
(チップ間)

deleted based on copyright concern. unspecified quotation.



原因 パターン寸法、堆積膜厚、酸化膜厚、熱処理温度などプロセスのばらつき
(技術レベルの向上とともに改善)

結果 素子の電気的特性のばらつき (値 ~ 10%、しきい値 ~ 10mV)

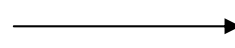


deleted based on copyright concern. unspecified quotation.

電気的特性の違い

	0.1 ~ 5%
V_T	0.2 ~ 10mV

原因

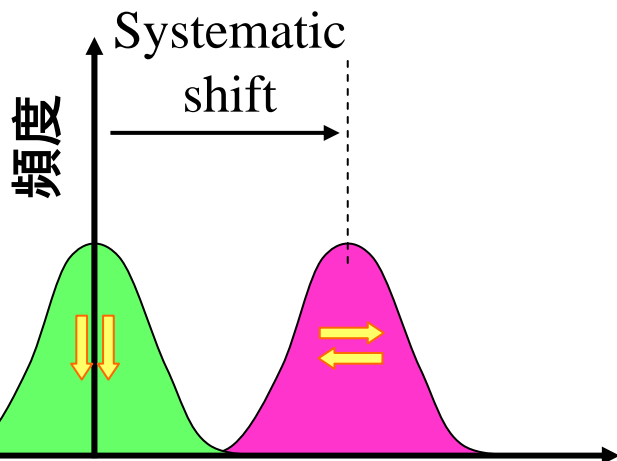
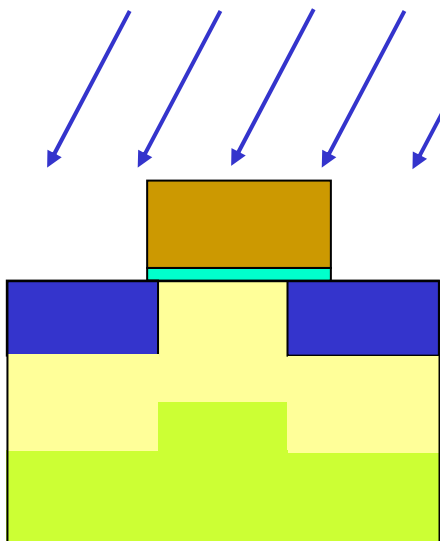


統計的な不純物原子のゆらぎ
 界面準位、ゲート端部のラフネス
 多結晶粒界

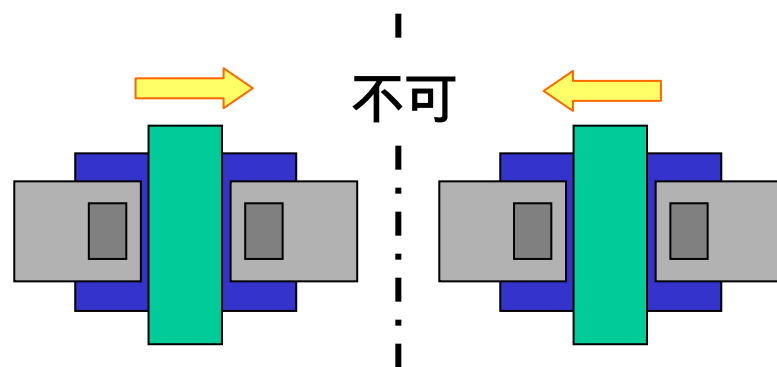
マッチングを崩す要因

---プロセスに依存する要素(1)---

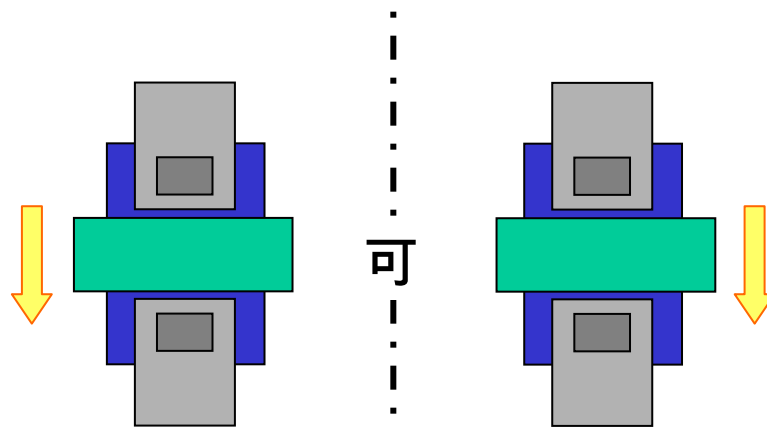
斜めイオン注入(7° off)



レイアウトのポイント
電流の流れる方向を
対称線と並行にする



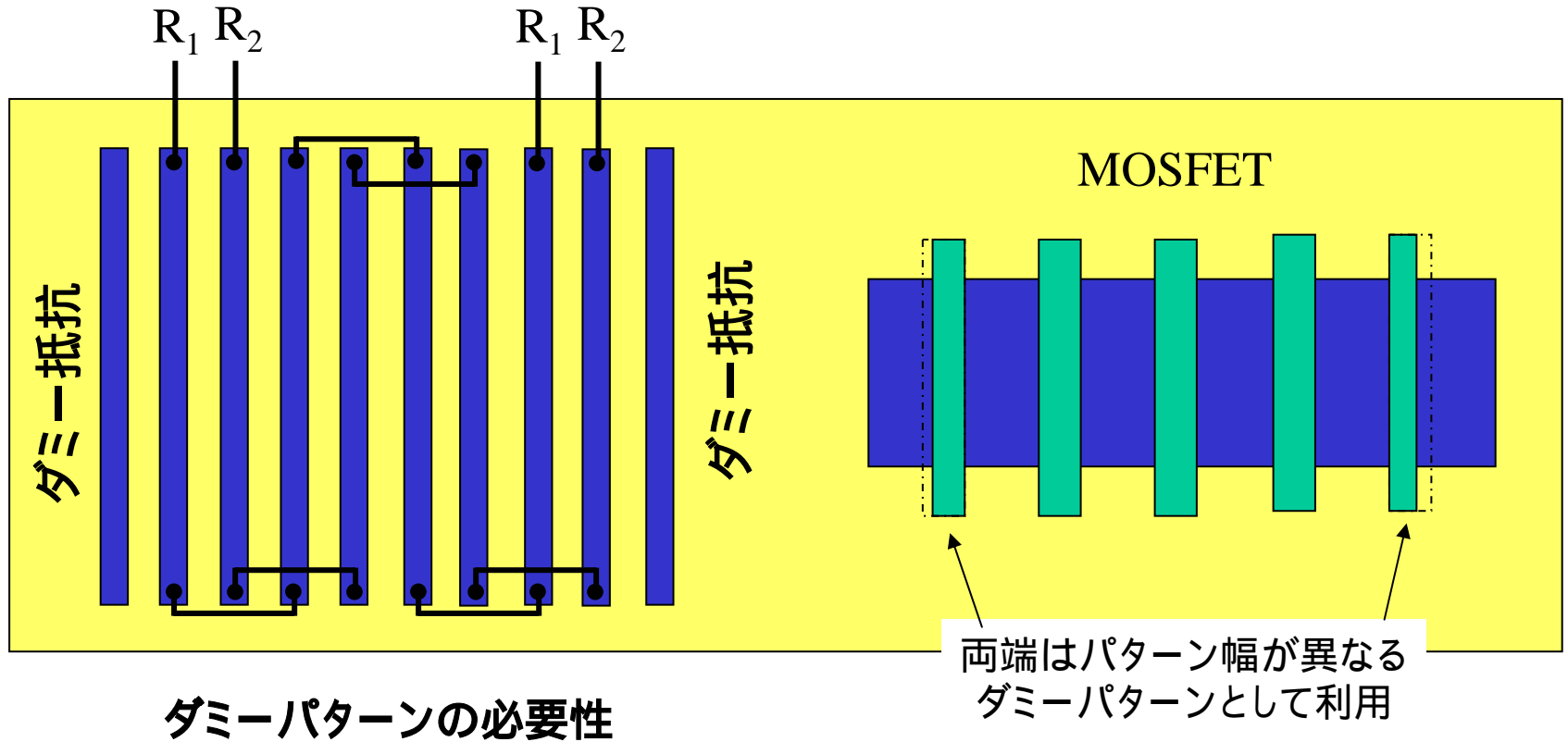
斜めS/Dイオン注入により
 C_{GD} , g_m が大きく異なることがある



V_T

ダミーパターンの必要性

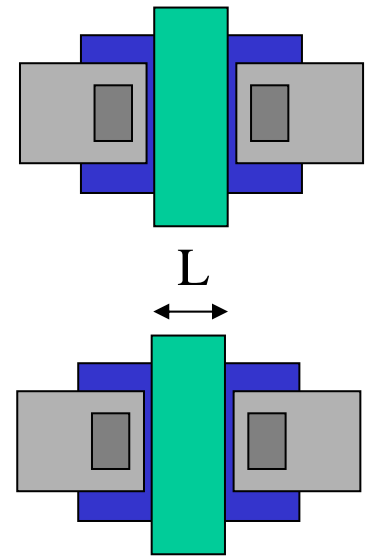
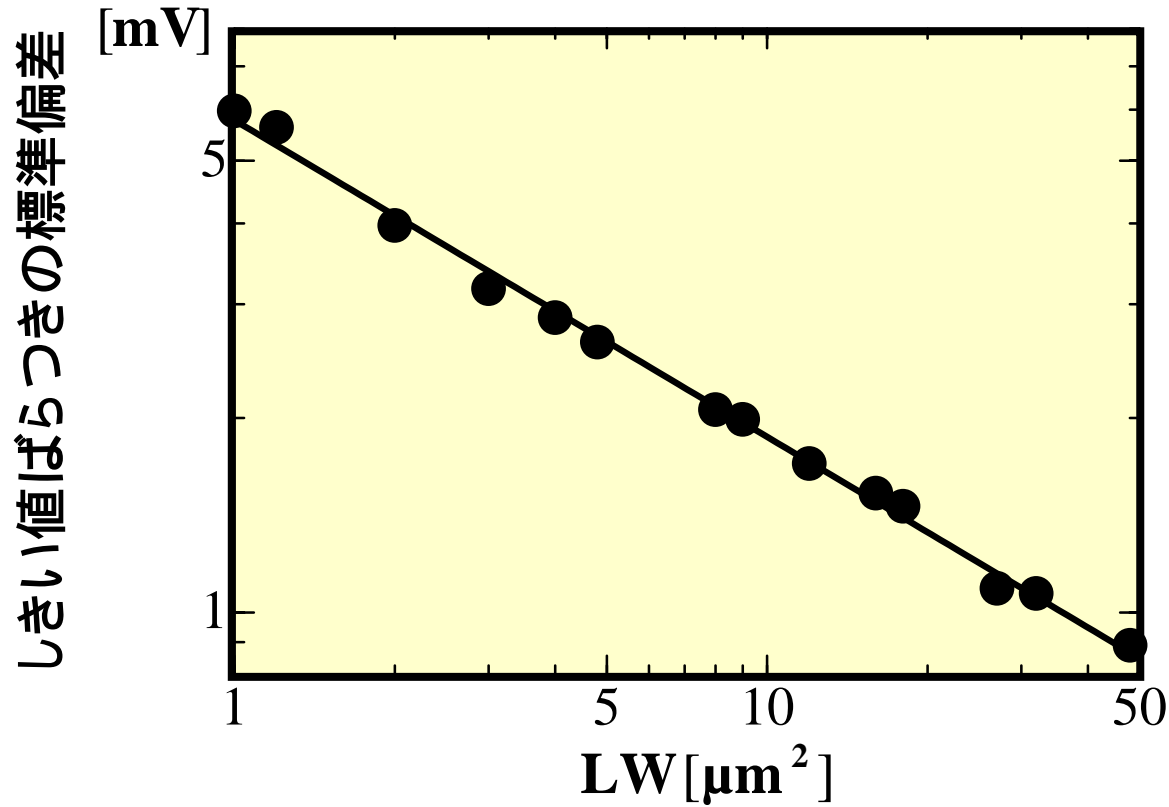
---プロセスに依存する要素(2)---



ダミーパターンの必要性

- ・レジスト露光量
端部パターンは隣接部からの反射の影響がない
- ・プラズマエッチング
Loading effect (周囲40 μ m程度に影響)

しきい値ばらつきの面積依存性



LWを大きくすると
 V_T は小さくなる

しきい値のばらつき ---統計的な不純物原子数のゆらぎ---

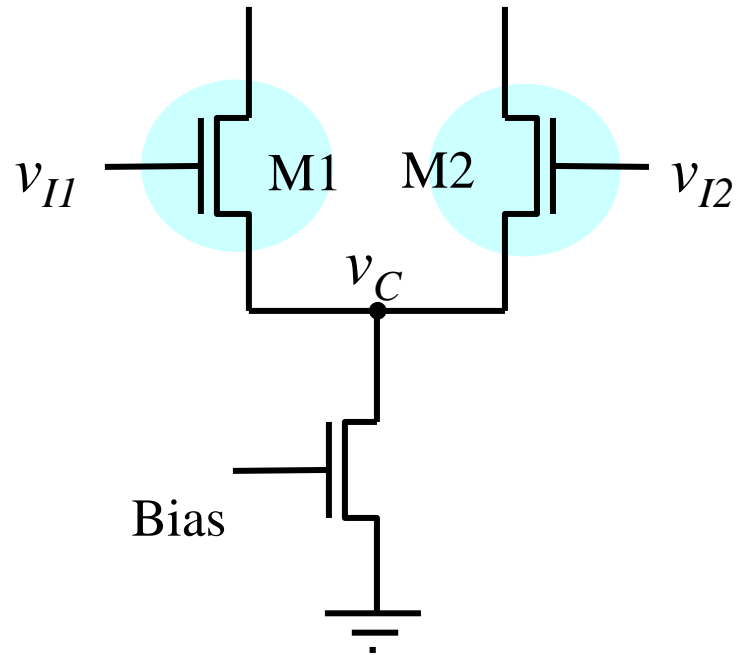
deleted based on copyright concern.

T.Mizuno, J.Okamura and A.Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs," IEEE Trans. On Electron Devices, ED-41, 2216 (1994)

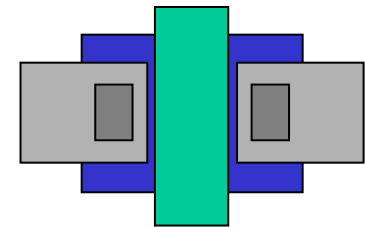
$$\sigma_{VT} = A_{VT} \frac{t_{ox}}{\sqrt{LW}}$$

$$A_{VT} \approx 1V$$

入力電圧オフセットを小さくするには??



LWを大きくする

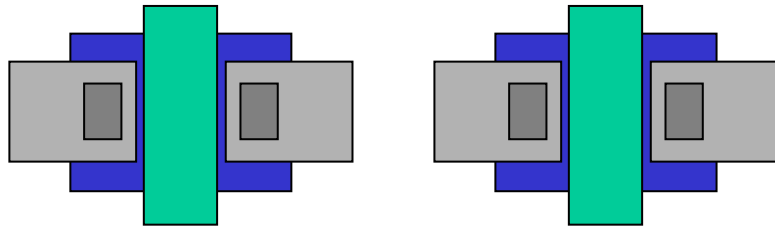


素子特性のばらつきが電流ミスマッチを引き起こす

deleted based on copyright concern.

K.R.Lakshmi Kumar, R.A.Hadaway, and M.A.Copeland, "Characterization and Modeling of Mismatch in MOS transistors for Precision Analog Design," IEEE Journal of Solid State Circuits, SC-21, 1057 (1986).
M.J.M.Pelgrom, A.C.J.Duinmaijer, and A.P.G.Welbers, "Matching Properties of MOS transistors," IEEE Journal of Solid-State Circuits, SC-24, 1433 (1989)

強反転領域での電流ミスマッチング

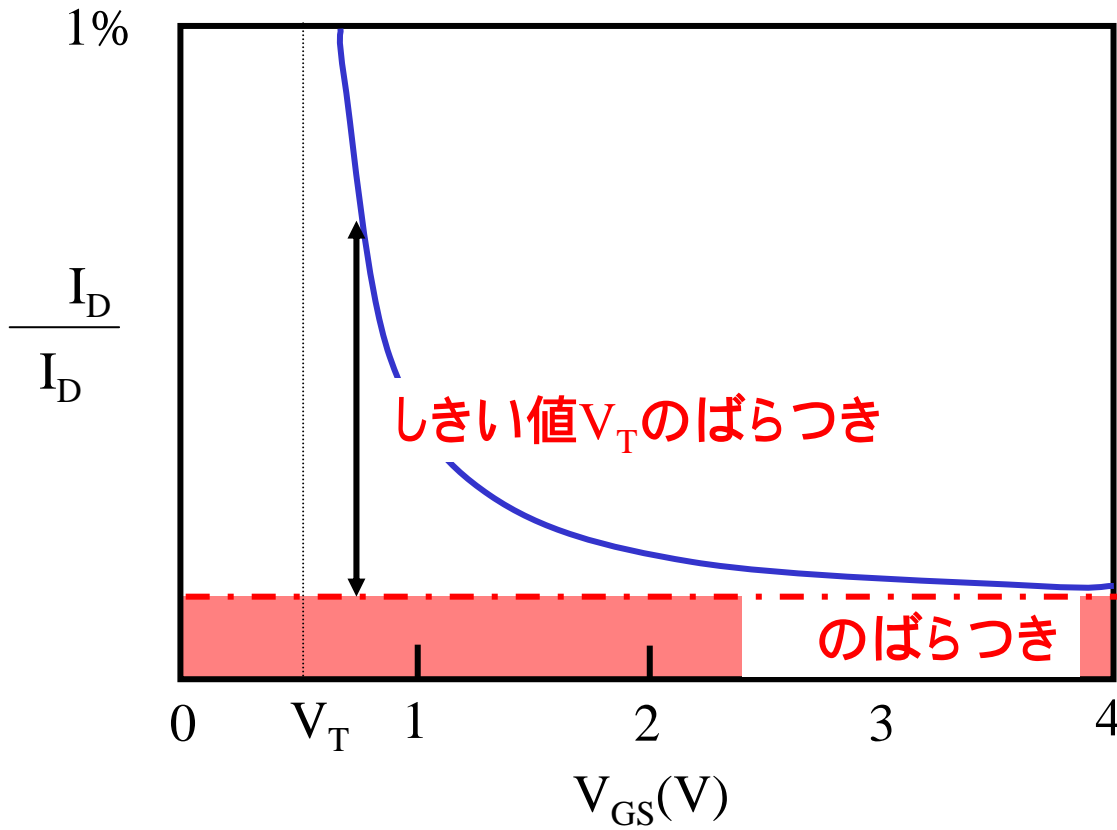


$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

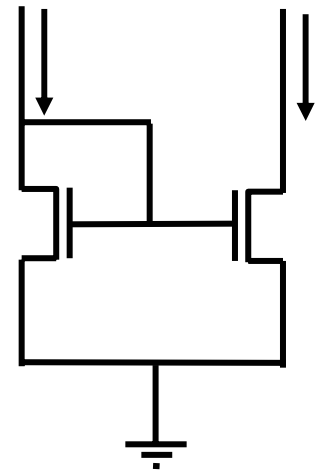
強反転領域:

しきい値 V_T と β 値の双方が影響する

$$\frac{\Delta I_D}{I_D} = \sqrt{4 \left(\frac{\Delta V_T}{V_{GS} - V_T} \right)^2 + \left(\frac{\Delta \beta}{\beta} \right)^2}$$

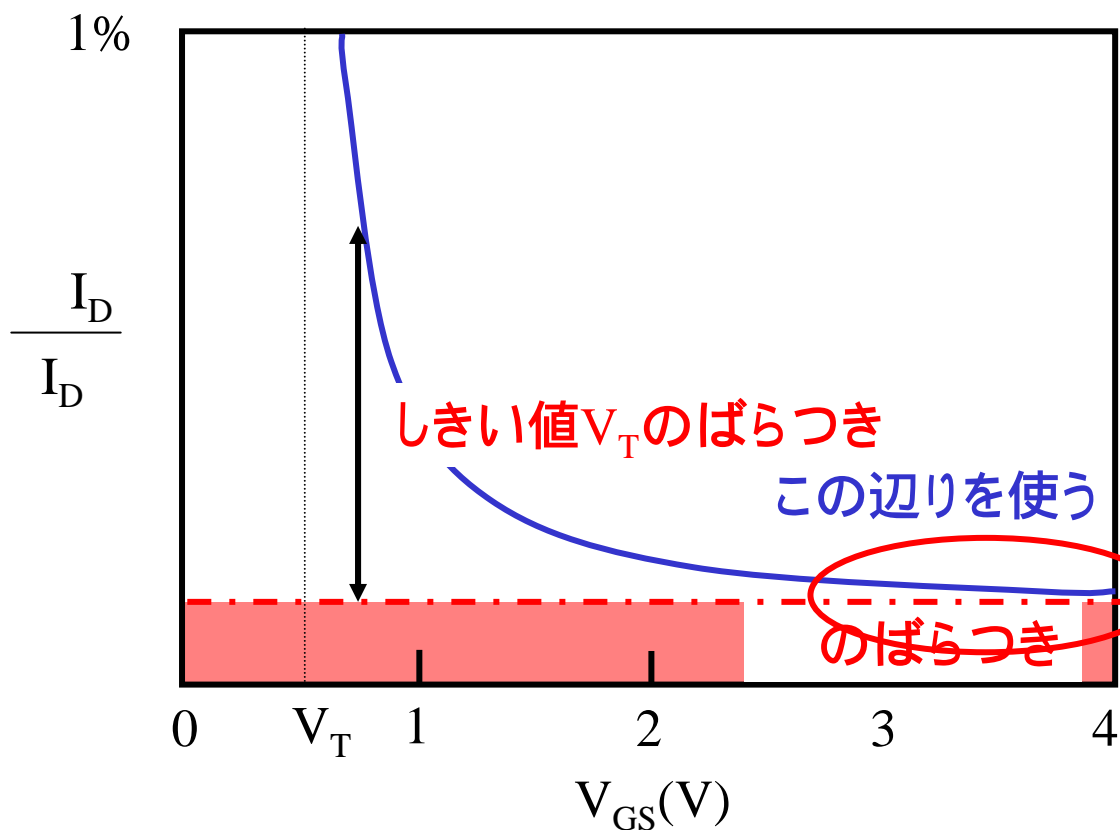


$$\approx \frac{2\Delta V_T}{V_{GS} - V_T}$$

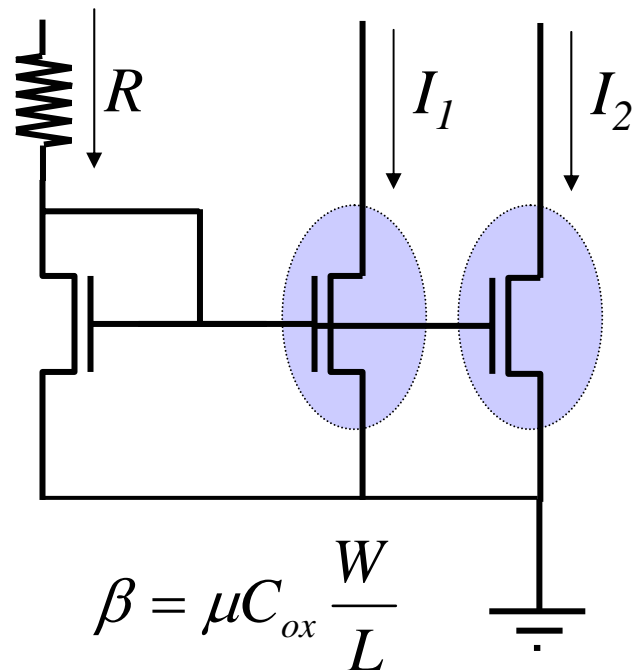


$$\sigma_{\Delta\beta/\beta} = \frac{A_{\Delta\beta/\beta}}{\sqrt{LW}} \approx \frac{0.02}{\sqrt{LW}}$$

デバイス世代に無関係



電流ミスマッチを小さくするには??



LWを一定であれば、
Lを大きく、Wを小さくする

V_{GS} を大きくすることに相当

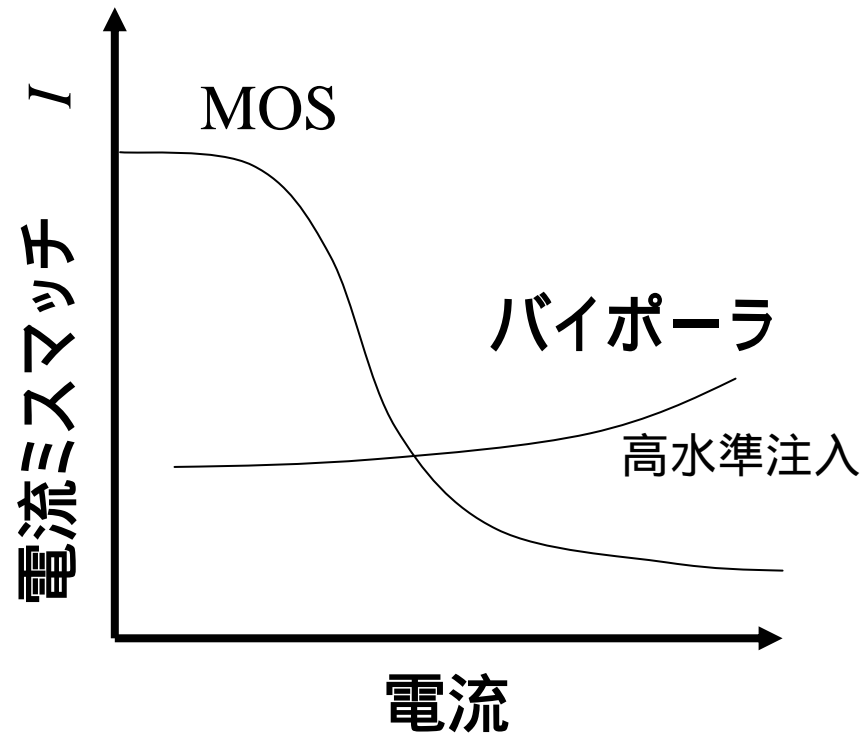
弱反転領域での電流ミスマッチング

deleted based on copyright concern.

F. Forti and M.E. Wright "Measurement of MOS current mismatch in the weak inversion region"

IEEE journal of solid state circuits, SC-29,138(1994)

MOS素子とバイポーラ素子のマッチング

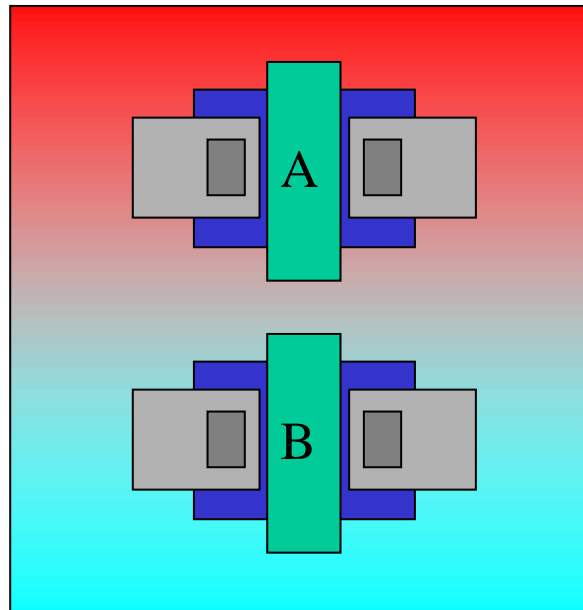


マッチング特性を崩す要因とレイアウト上の工夫

局所発熱

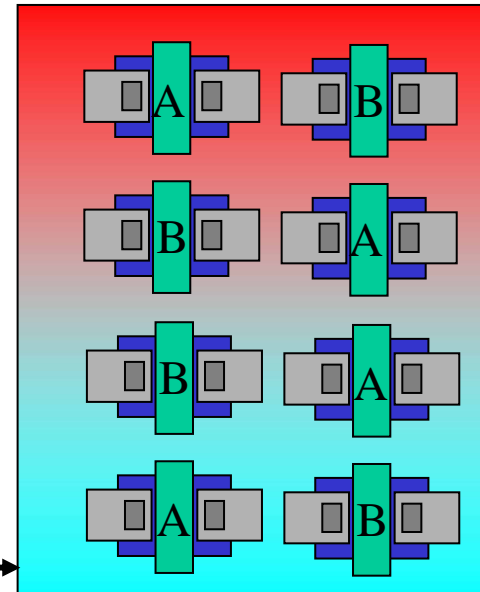
$$\Delta V_T \approx 1mV /$$

$$\frac{\Delta\beta}{\beta} \approx -0.5\% /$$



レイアウトのポイント

1. パワー消費電力素子を離す
2. アナログ回路部に対して
パワブロックを対称に配置
3. トランジスタ対を等温度線上に配置
4. コモンセントロイド配置



動作電圧・動作電流を同一にする
直流のみならず交流成分も....
静電結合の影響が重大

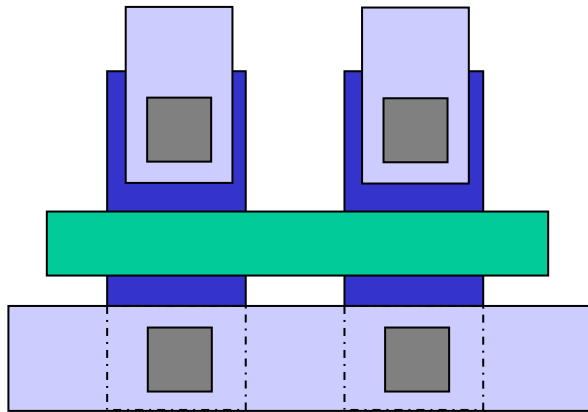
悪いレイアウト例

deleted based on copyright concern.

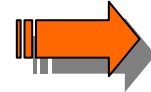
H. Tuinhout et al., "Effects of metal coverage on MOSFET matching"
Tech. Digest IEDM '96 pp.734-739(1996)

マッチング特性を崩す要因 ---電氣的要因---

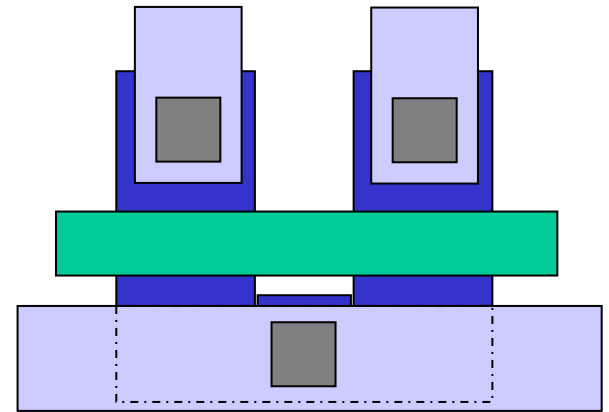
不可



回避策

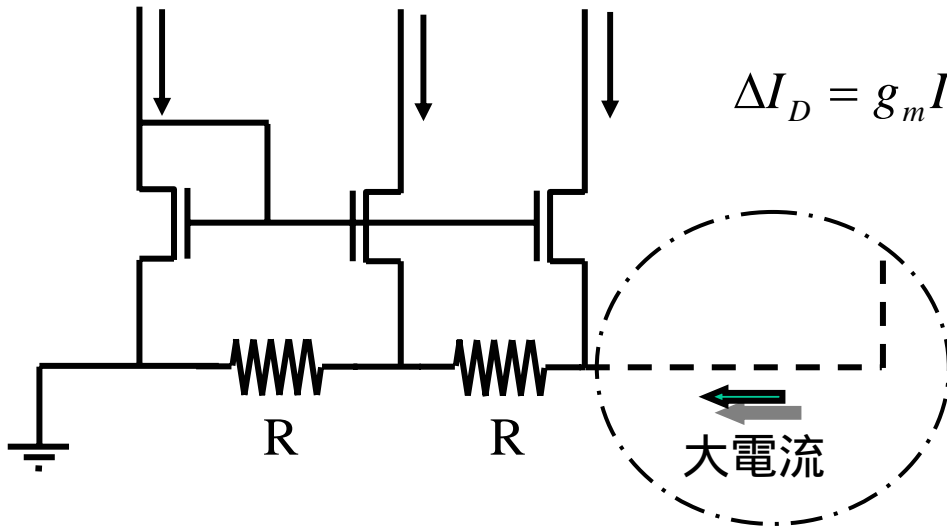


可

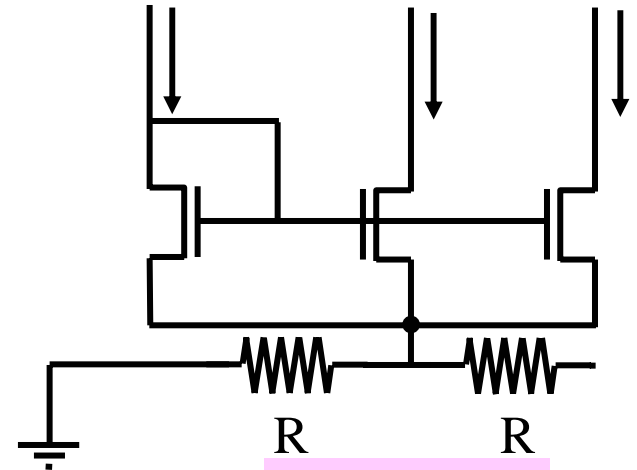


$$\Delta I_D = g_m I_D R$$

$$\frac{\Delta I_D}{I_D} = g_m R \approx 1\%$$

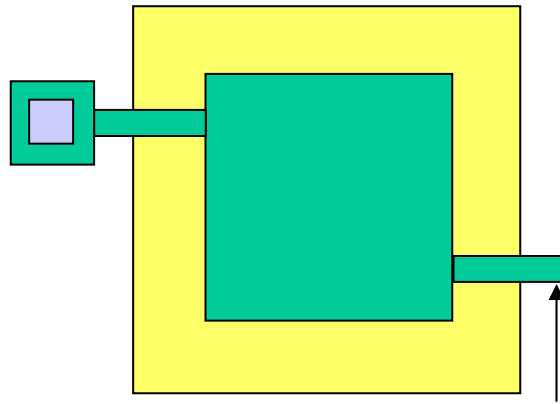


こんなときにはさらに問題が大きくなる



スター配置

キャパシタのマッチング



ミスアライメントを補正するためのタブ

素子特性のばらつき(デバイスのミスマッチ):

- ・システマティックな変動

プロセスの進歩やレイアウトで回避可能

- ・ランダムな特性のゆらぎ

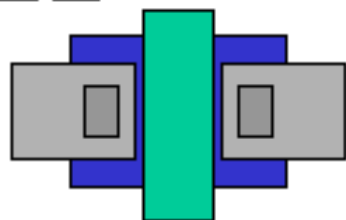
レイアウトで抑制可能

CMOSアナログ回路のAC特性

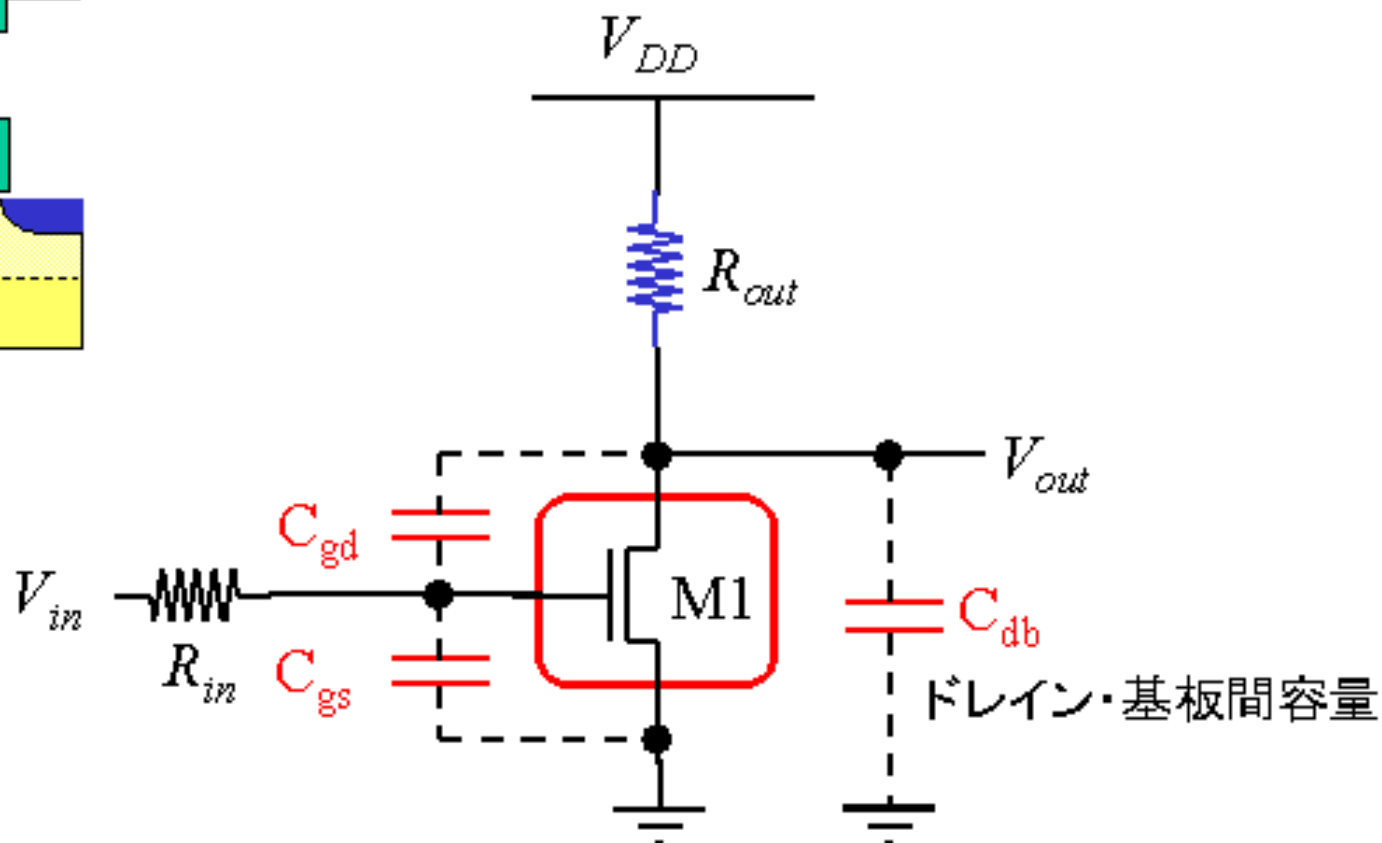
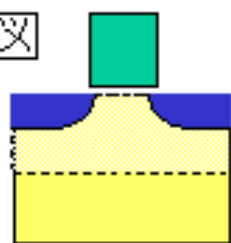
交流信号を入力すると.....

応答速度は「MOSの寄生容量」が問題になる

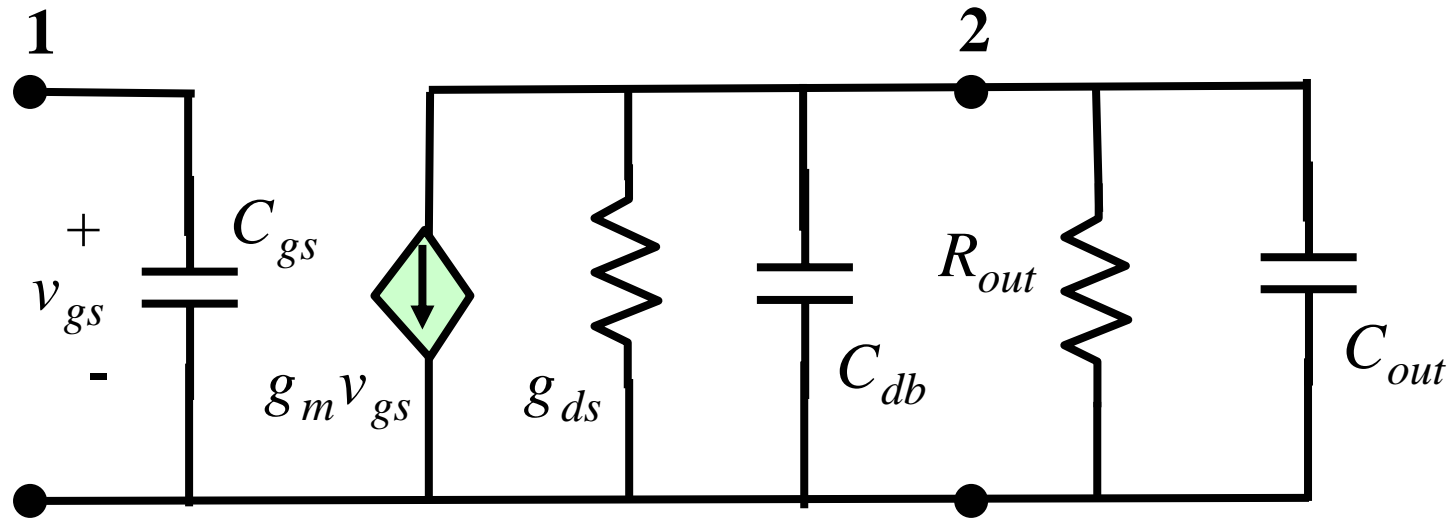
平面図



断面図



第0次近似



$$C_L = C_{out} + C_{db}$$

$$G(s) \equiv \frac{v_{out}}{v_{in}} = -\frac{g_m v_{in}}{v_{in}} \left(g_{ds} // R_{out} // \frac{1}{sC_L} \right)$$
$$= -\frac{g_m (g_{ds} // R_{out})}{1 + sC_L (g_{ds} // R_{out})} = \frac{G_{DC}}{1 + s/\omega_p}$$

ここで、

$$G_{DC} = -g_m (g_{ds} // R_{out}) \quad : DC \text{ゲイン}$$

$$\omega_p = \frac{1}{C_L (g_{ds} // R_{out})}$$

これを図示すると.....

$$G(s) \equiv \frac{G_{DC}}{1 + s/\omega_p}$$

ここで、

$$G_{DC} = -g_m (g_{ds} // R_{out}) \quad : DC \text{ゲイン}$$

$$\omega_p = \frac{1}{C_L (g_{ds} // R_{out})}$$

伝達関数の極

DCゲインより3dB低下する周波数

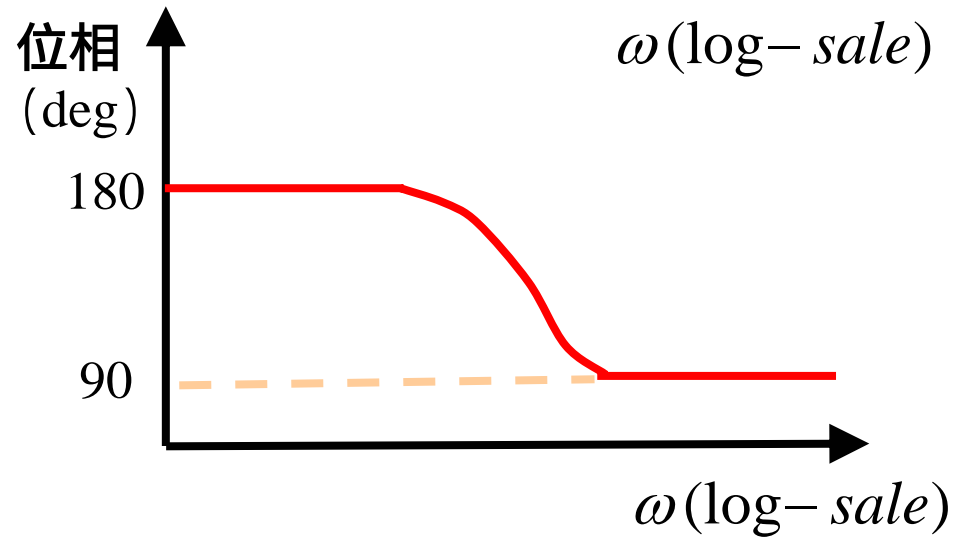
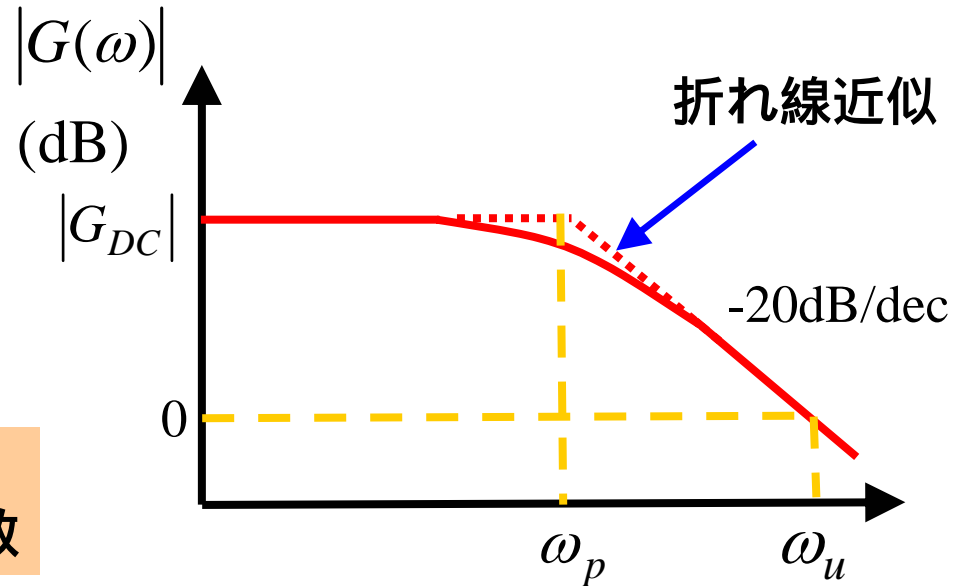
$\omega \gg \omega_p$ では、

$$|G(\omega)| \approx \frac{|G_{DC}| \omega_p}{\omega}$$

$|G(\omega_u)| = 1$ とすると

$$\omega_u \approx |G_{DC}| \omega_p = \frac{g_m}{C_L}$$

Unity-Gain周波数



第0次近似のまとめ

DCゲイン

$$G_{DC} = -g_m (g_{ds} // R_{out})$$

g_m と出力抵抗で決まる

-3dB周波数 (伝達関数の極, pole)

$$\omega_{-3dB} = \omega_p = \frac{1}{C_L (g_{ds} // R_{out})}$$

C_L と出力抵抗で決まる

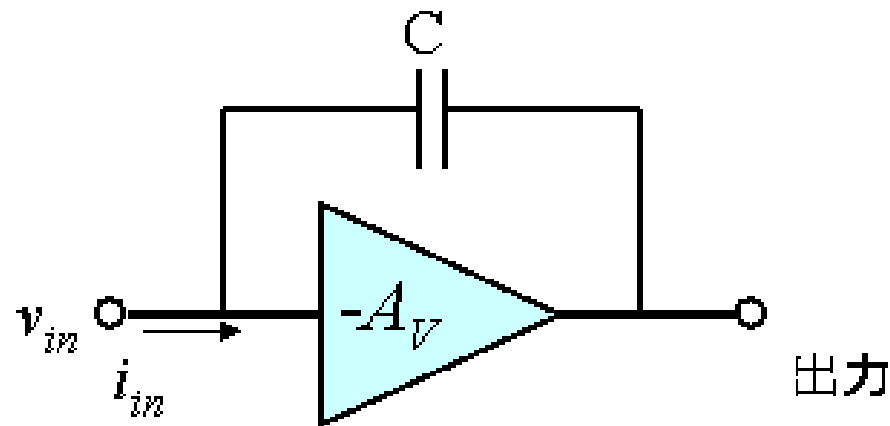
Unity-Gain周波数

$$\omega_u \approx |G_{DC}| \omega_p = \frac{g_m}{C_L}$$

g_m と C_L で決まる

ミラー効果

(周波数特性解析時に考慮する必要あり)

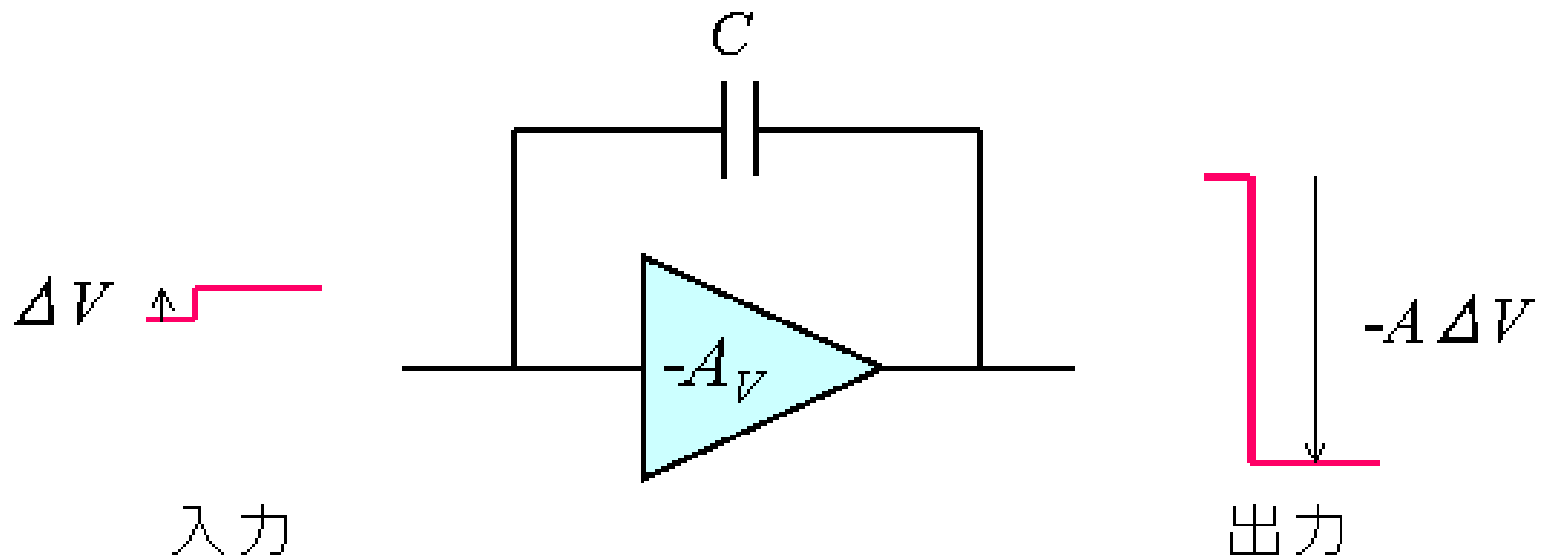


$$v_{cap} = v_{in} - (-|A_v|v_{in}) = (1 + |A_v|)v_{in}$$

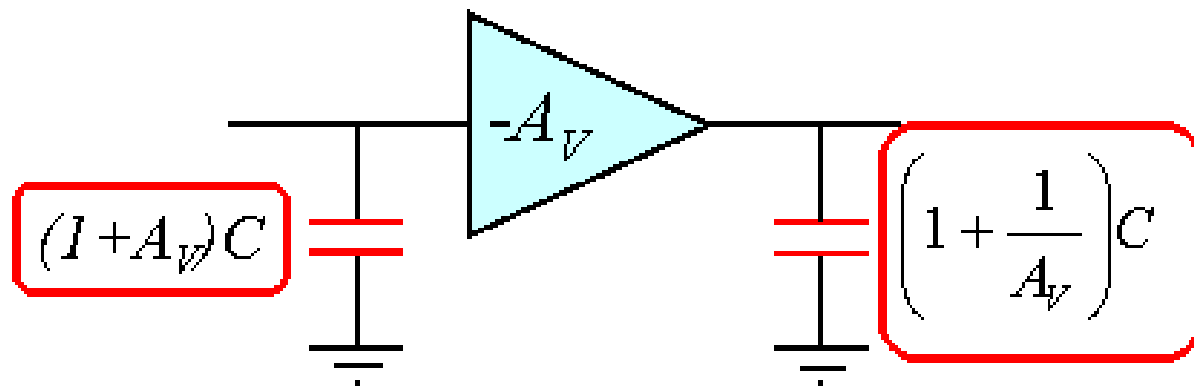
$$i_{in} = \frac{dQ}{dt} = C \frac{dv_{cap}}{dt} = C(1 + |A_v|) \frac{dv_{in}}{dt}$$

実効的に増幅率倍だけ容量が大きくなる
高周波特性が劣化する

ミラー効果の等価変換

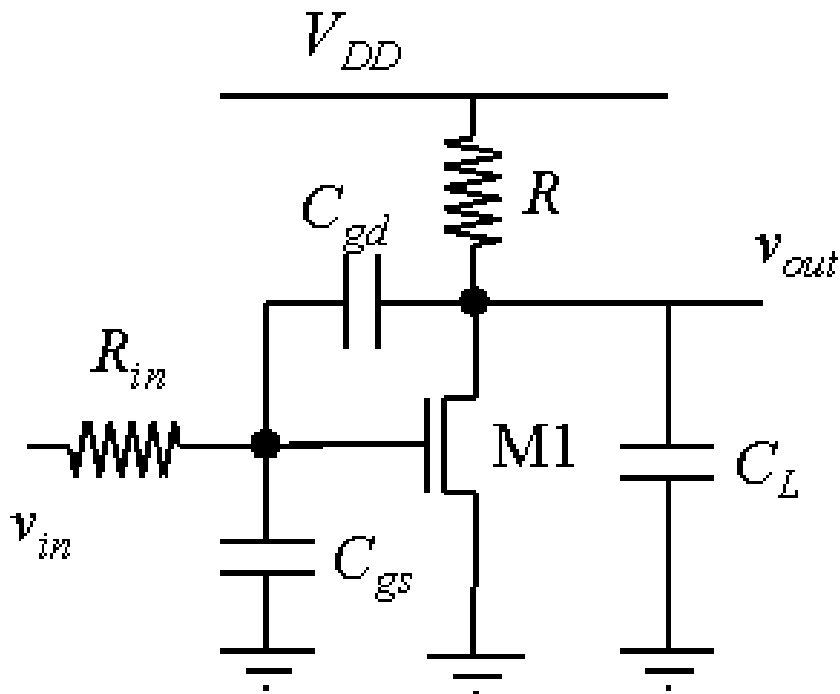


等価変換



ソース接地増幅器

(第1次近似モデル)



$$A_v = -g_m R$$

周波数によらず一定と仮定

入力容量

$$C_{gs} + (1 - A_v)C_{gd} = C_{gs} + (1 + g_m R)C_{gd}$$

出力容量

$$C_L + \left(1 - \frac{1}{A_v}\right)C_{gd} \approx C_L + C_{gd}$$

$$\omega_{in} = \frac{1}{R_{in} [C_{gs} + (1 + g_m R)C_{gd}]}$$

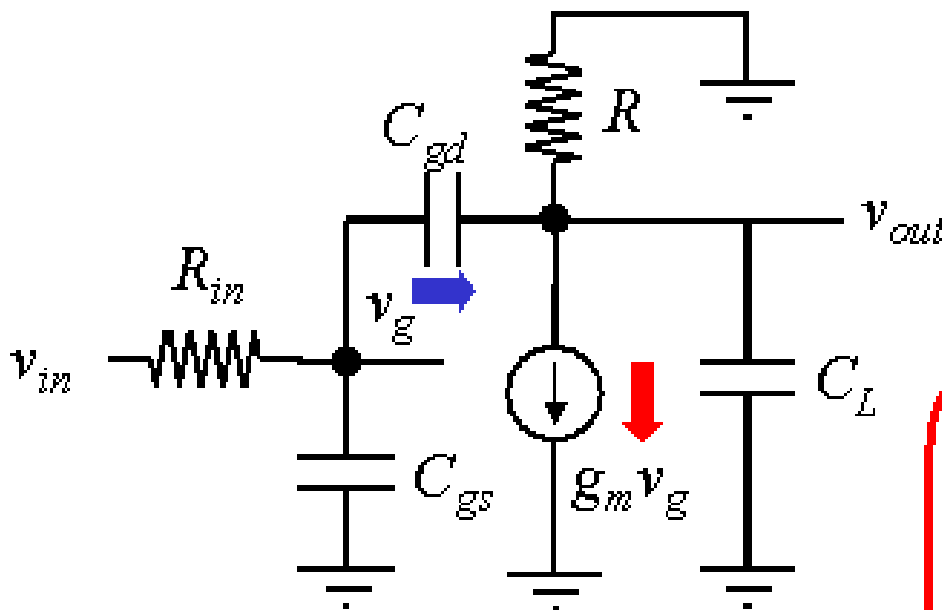
$$\omega_{out} = \frac{1}{R(C_L + C_{gd})}$$

$$\frac{v_{out}}{v_{in}}(s) = \frac{-g_m R}{\left(1 + \frac{s}{\omega_{in}}\right) \left(1 + \frac{s}{\omega_{out}}\right)}$$

ソース接地増幅器

(第2次近似モデル)

$$C_{gd}s v_g - g_m v_g = (C_{gd}s - g_m) v_g = 0$$



正確な解

零点の意味

$$\frac{v_{out}}{v_{in}}(s) = \frac{(C_{gd}s - g_m)R}{\left(1 + \frac{s}{\omega_{in}}\right)\left(1 + \frac{s}{\omega_{out}}\right)}$$

Feedthrough path

C_{gd} に流れる小信号電流 →

||

MOSFETに流れる小信号電流

Main path ↓

となると増幅機能は喪失する